



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020046778 A
(43)Date of publication of application: 21.06.2002

(21)Application number: 1020000077109
(22)Date of filing: 15.12.2000

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: HWANG, CHANG YEON
KIM, SANG IK

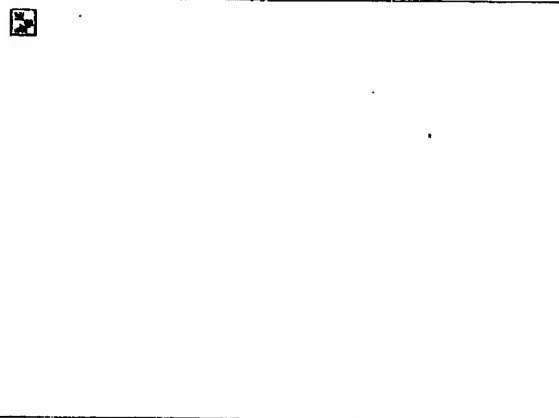
(51)Int. Cl. H01L 21/28

(54) METHOD FOR FORMING CONTACT HOLE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A contact hole formation method of semiconductor devices is provided to prevent a short between word line and a plug by reducing loss of hard mask using multi-layer hard masks.

CONSTITUTION: After forming a metal film on a semiconductor substrate(21), a first nitride layer(23), an etch barrier(24) and a second nitride layer(25) as multi-layer hard masks are sequentially formed on the metal film. Word lines(22) are formed by sequentially etching the nitride layer, the etch barrier, the first nitride layer and the metal film. An insulating spacer(26) is formed at both sidewalls of the word lines. After forming an ILD(Inter Layer Dielectric)(27) on the resultant structure, a contact hole(29) is formed to expose the surface of the substrate by selectively etching the ILD.



© KIPO 2003

Legal Status

【한국공개특허공보2002-0046778(2002.6.21공개) : 인용예2】

특 2002-0046778

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 21/728 (11) 공개번호 특2002-0046778
(22) 발원일자 10-2000-0077109 (43) 공개일자 2002년06월21일(21) 출원번호 10-2000-0077109
(22) 발원일자 2000년12월15일
(71) 출원인 주식회사 하이닉스반도체 박종섭
경기 미천시 부밭읍 아미리 산136-1
(72) 발명자 김상익
경기도성남시분당구마동77차차마출대원아파트101-903
광합면
경기도미천시사읍동564-7
(74) 대리인 감응복, 김응민

출원일자 : 없음

(54) 반도체 소자의 콘택홀 형성방법

요약

본 발명은 워드 라인에 형성된 하드 마스크층을 멀티(multi) 구조로 형성하여 하드 마스크층의 손실을 줄이며 워드 라인과 플러그간에 쇼트가 발생하는 것을 방지하도록 한 반도체 소자의 콘택홀 형성방법에 관한 것으로서, 반도체 기판상에 금속막 및 제 1 절화막을 차례로 형성하는 단계와, 상기 제 1 절화막상에 식각 방지막 및 제 2 절화막을 차례로 형성하는 단계와, 상기 제 2 절화막, 식각 방지막, 제 1 절화막, 금속막을 선택적으로 제거하여 워드 라인을 형성하는 단계와, 상기 워드 라인의 양측면에 접연막 측벽을 형성하는 단계와, 상기 반도체 기판의 전면에 ILD막을 형성하는 단계와, 상기 워드 라인의 사이의 반도체 기판 표면을 노즐되도록 상기 ILD막을 선택적으로 제거하여 콘택홀을 형성하는 단계를 포함하여 형성할 것을 특징으로 한다.

도면도

도 2a

도면의

콘택홀, 선폴 열라인, ILD막, 식각 방지막

도면의

도면의 구성요소 설명

도 1a 내지 도 1c는 종래의 반도체 소자의 콘택홀 형성방법을 나타낸 공정단면도

도 2a 내지 도 2d는 본 발명에 의한 반도체 소자의 콘택홀 형성방법을 나타낸 공정단면도

도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판	22 : 금속막
23 : 제 1 절화막	24 : 플러그 실리콘콘택
25 : 제 2 절화막	26 : 접연막 측벽
27 : ILD막	28 : 감광막
29 : 콘택홀	

도면의 상세한 설명

도면의 목적

본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 워드 라인(word line)의 쇼트(short)를 방지하는 데 적합한 반도체 소자의 콘택홀 형성방법에 관한 것이다.

일반적으로 반도체 장치의 고집적화에 따라 패턴의 선폴 및 패턴간의 거리가 좁아지고 있어 선폴 열라인

특 2002-0046778

콘택(Self Align Contact : SAC)에 의한 콘택을 형성시 공정 마진(margin)이 줄어들고 있다.

이하, 첨부된 도면을 참고하여 종래의 반도체 소자의 콘택을 형성방법을 설명하면 다음과 같다.

도 1a 내지 도 1c는 종래의 반도체 소자의 콘택을 형성방법을 나타낸 공정단면도이다.

도 1a에 도시한 바와 같이, 반도체 기판(11)상에 워드 라인을 금속막을 증착하고, 상기 금속막상에 하드 마스크(hard mask)층 절화막(13)을 형성한다.

여기서 상기 워드 라인을 금속막은 폴리 실리콘막과 텅스텐(W)막이 적층되어 형성된다.

이어, 포토 및 식각공정을 통해 상기 절화막(13)을 선택적으로 제거하고, 계속해서 상기 금속막을 선택적으로 제거하여 일정한 간격을 갖는 복수개의 워드 라인(12)을 형성한다.

도 1b에 도시한 바와 같이, 상기 워드 라인(12)을 포함한 반도체 기판(11)의 전면에 절연막을 형성하고, 상기 절연막의 전면에 에치백(etch back) 공정을 실시하여 상기 워드 라인(12)을 양측면에 절연막 측벽(14)을 형성한다.

이어, 상기 절연막 측벽(14) 및 워드 라인(12)을 포함한 반도체 기판(11)상에 ILD(Inter Layer Dielectric)막(15)을 형성한다.

도 1c에 도시한 바와 같이, 상기 ILD막(15)상에 감광막(16)을 도포한 후, 노광 및 현상공정으로 감광막(16)을 패터닝하여 콘택 영역을 정의한다.

이어, 상기 패터닝된 감광막(16)을 마스크로 이용하여 상기 워드 라인(12) 사이의 반도체 기판(11)의 표면이 노출되도록 선폴 얼라인 콘택 에칭을 통해 상기 ILD막(15)을 선택적으로 제거하여 콘택홀(17)을 형성한다.

여기서 상기 선폴 얼라인 콘택 에칭 공정시 상기 절화막(13)과 ILD막(15)과의 충분한 선택비 확보가 어려워 워드 라인(12)상에 형성된 절화막(13)의 손실(loss)이 발생하여 상기 워드 라인(12)의 표면이 노출된다.

이후 공정은 도시하지 않았지만, 상기 콘택홀(17)을 포함한 반도체 기판(11)의 전면에 폴리 실리콘막을 증착한 후 에치백이나 CMP(Chemical Mechanical Polishing) 공정을 통해 상기 콘택홀(17)의 내부에 폴리 실리콘 플러그를 형성한다.

종래의 기술에 따른 문제점

그러나 상기와 같은 종래의 반도체 소자의 콘택을 형성방법에 있어서 다음과 같은 문제점을 있었다.

첫째, 선폴 얼라인 콘택 에칭 공정시 절화막과 ILD막과의 충분한 선택비 확보가 어려워 워드 라인상에 형성된 절화막의 손실(loss)이 발생함으로써 폴리 실리콘 플러그 형성시 워드 라인과 숏으로 인하여 소자의 불량(fail)이 발생한다.

둘째, 워드 라인과 폴리 실리콘 플러그의 숏을 방지하기 위하여 절화막의 두께를 두껍게 할 경우 워드 라인 디파인(define)에 문제가 발생한다.

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로 워드 라인에 형성된 하드 마스크층을 멀티(multi) 구조로 형성하여 하드 마스크층의 손실을 줄이며 워드 라인과 플러그간에 숏트가 발생하지 않도록 방지하도록 한 반도체 소자의 콘택을 형성방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 콘택을 형성방법은 반도체 기판상에 금속막 및 제 1 절화막을 차례로 형성하는 단계와, 상기 제 1 절화막상에 식각 방지막 및 제 2 절화막을 차례로 형성하는 단계와, 상기 제 2 절화막, 식각 방지막, 제 1 절화막, 금속막을 선택적으로 제거하여 워드 라인을 형성하는 단계와, 상기 워드 라인의 양측면에 절연막 측벽을 형성하는 단계와, 상기 반도체 기판의 전면에 ILD를 형성하는 단계와, 상기 워드 라인의 사이의 반도체 기판 표면이 노출되도록 상기 ILD막을 선택적으로 제거하여 콘택홀을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 콘택을 형성방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2d는 본 발명에 의한 반도체 소자의 콘택을 형성방법을 나타낸 공정단면도이다.

도 2a에 도시한 바와 같이, 반도체 기판(21)상에 워드 라인을 금속막(22)을 증착하고, 상기 금속막(22)에 하드 마스크(hard mask)층 제 1 절화막(23)을 1000 Å ~ 3000 Å 두께로 형성한다.

여기서 상기 워드 라인을 금속막(22)은 폴리 실리콘막과 텅스텐(W)막이 적층되어 형성된다.

이어, 상기 제 1 절화막(23)상에 식각 방지막 폴리 실리콘막(24)을 50 Å ~ 500 Å 두께로 형성하고, 상기 폴리 실리콘막(24)상에 하드 마스크층 제 2 절화막(25)을 100 Å ~ 1000 Å 두께로 형성한다.

여기서 상기 폴리 실리콘막(24) 대신에 SiO₂, Al₂O₃, Ta₂O₅ 등을 사용할 수 있다.

도 2b에 도시한 바와 같이, 포토 및 식각공정을 통해 상기 제 2 절화막(25), 폴리 실리콘막(24), 제 1 절화막(23), 금속막(22)을 선택적으로 제거하여 일정한 간격을 갖는 복수개의 워드 라인을 형성한다.

도 2c에 도시한 바와 같이, 상기 워드 라인을 포함한 반도체 기판(21)의 전면에 절연막을 50 Å ~ 500 Å 두께로 형성하고, 상기 절연막의 전면에 에치백(etch back) 공정을 실시하여 상기 워드 라인의 양측면에

2002-0046776

절연막 층(26)을 형성한다.

한편, 상기 절연막 층(26)은 플라즈마(plasma) 장비에서 $\text{CF}_4/\text{CF}_2/\text{O}_2$ 가스를 사용하여 100 ~ 300mT, 300 ~ 700W 공정조건으로 진행된다.

이어, 상기 절연막 층(26) 및 워드 라인을 포함한 반도체 기판(21)상에 ILD(Inter Layer Dielectric)막(27)을 형성한다.

여기서 상기 ILD막(27)은 BPSG(Boron Phosphorus Silicate Glass) 또는 HDP(High Density Plasma) 등을 사용하고, 그 두께는 2000Å ~ 5000Å으로 형성한다.

도 2에 도시한 바와 같이, 상기 ILD막(27)상에 감광막(28)을 도포한 후, 노광 및 현상공정으로 감광막(28)을 패터닝하여 본래 패턴을 정의한다.

이어, 상기 패터닝된 감광막(28)을 마스크로 이용하여 상기 워드 라인 사이의 반도체 기판(21)의 표면이 노출되도록 선포 열린 후, 에칭을 통해 상기 ILD막(27)을 선택적으로 제거하여 본래층(29)을 형성한다.

여기서 상기 선포 열린 후, 에칭 공정시 종래에는 상기 제 1 절화막(23)과 ILD막(27)과의 충분한 선택비 확보가 어려워 제 1 절화막(23)의 손실(loss)이 발생하는데 본 방법에서는 제 1 절화막(23)상에 식각 방지층으로 형성된 폴리 실리콘막(24)에 의해 제 1 절화막(23)의 손실을 방지함으로써 상기 워드 라인의 표면이 노출된다.

한편, 상기 선포 열린 후, 에칭 공정은 $\text{C}_2\text{F}_4/\text{C}_2\text{F}_6/\text{CHF}_3/\text{Ar}/\text{O}_2/\text{CF}_4$ 가스를 사용하고, 30 ~ 60mT, 1500 ~ 2000W의 공정조건에서 DRIE 식각 장비를 사용한다.

이후 공정은 도시하지 않았지만, 상기 감광막(28)을 제거하고 상기 본래층(29)을 포함한 반도체 기판(21)의 전면에 폴리 실리콘막을 증착한 후 에치백이나 CMP 공정을 통해 상기 본래층(29)의 내부에 폴리 실리콘 층을 형성한다.

실시예

이상에서 설명한 바와 같이 본 발명에 의한 반도체 소자의 본래층 형성방법은 다음과 같은 효과가 있다.
즉, 선포 열린 후, 에칭 공정시 ILD막과 절화막간에 충분한 선택비를 확보하지 못해 발생하는 절화막의 손실을 방지하기 위하여 절화막상에 식각 방지층을 형성함으로써 절화막에 손실로 인해 워드 라인이 노출되어 폴리 실리콘막 형성시 발생하는 워드 라인과의 스톱을 방지하여 소자의 특성 및 수율을 향상할 수 있고, 공정의 안정화를 가져올 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판상에 금속막 및 제 1 절화막을 차례로 형성하는 단계;

상기 제 1 절화막상에 식각 방지막 및 제 2 절화막을 차례로 형성하는 단계;

상기 제 2 절화막, 식각 방지막, 제 1 절화막, 금속막을 선택적으로 제거하여 워드 라인을 형성하는 단계;

상기 워드 라인의 양측면에 절연막 층을 형성하는 단계;

상기 반도체 기판의 전면에 ILD막을 형성하는 단계;

상기 워드 라인 사이의 반도체 기판 표면이 노출되도록 상기 ILD막을 선택적으로 제거하여 본래층을 형성하는 단계를 포함하여 형성함을 특징으로 하는 반도체 소자의 본래층 형성방법.

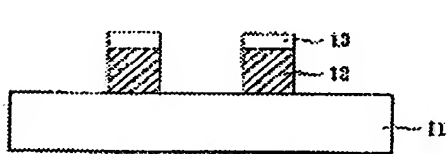
청구항 2. 제 1 항에 있어서, 상기 식각 방지막은 폴리 실리콘, SiO_2 , Al_2O_3 , Ta_2O_5 등에서 적어도 하나를 사용하는 것을 특징으로 하는 반도체 소자의 본래층 형성방법.

청구항 3. 제 1 항에 있어서, 상기 식각 방지막은 50Å ~ 500Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 본래층 형성방법.

청구항 4. 제 1 항에 있어서, 상기 제 1 절화막은 제 2 절화막보다 두껍게 형성하는 것을 특징으로 하는 반도체 소자의 본래층 형성방법.

도면

도면 1a



2002-0046778

FIG. 1b

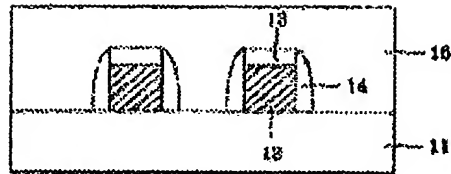


FIG. 1a

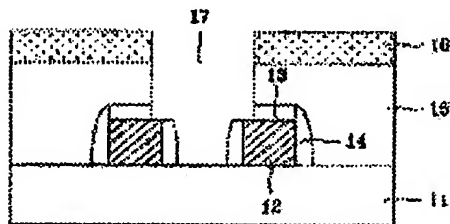


FIG. 2a

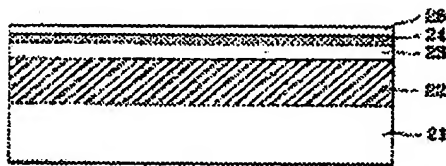
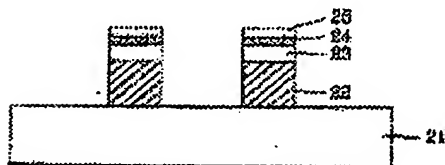


FIG. 2b



2002-0046778

FIG. 2

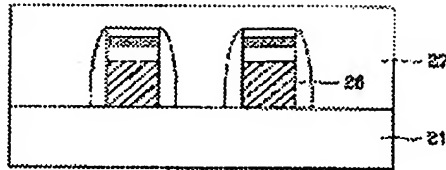


FIG. 3

